

10728372  
12.19.03

**Circuit for determining state of charge of non-volatile memory cells has regulating transistor with gate voltage controlled by differential amplifier so defined voltage appears at read output**

Patent Number: DE10102180  
 Publication date: 2002-05-29  
 Inventor(s): .. SCHIENLE MEINRAD (DE)  
 Applicant(s): INFINEON TECHNOLOGIES AG (DE)  
 Requested Patent: EP1227500  
 Application Number: DE20011002180 20010118  
 Priority Number(s): DE20011002180 20010118  
 IPC Classification: G11C16/26  
 EC Classification: G11C16/28  
 Equivalents:

**Abstract**

The circuit has a defined voltage (VRef) applied to a memory cell (SZelle) read output via which a state of charge current (I1) flows. A regulating transistor (RT1) source-drain path is connected to the read output. A differential amplifier (DV1) output is connected to the regulating transistor gate and the regulating transistor gate voltage can be controlled by the differential amplifier so that the defined voltage is applied at the read output. Independent claims are also included for the following: a read-out circuit for determining state of charge of non-volatile semiconducting memory cells, a matrix arrangement of non-volatile semiconducting memory cells and an EEPROM, EAROM or Flash-EPROM memory component with a number of non-volatile semiconducting memory cells.

Data supplied from the esp@cenet database - I2

**Description**

Die Erfindung bezieht sich generell auf das Gebiet der Halbleiterspeicher. Insbesondere betrifft die Erfindung eine Schaltung zum Auslesen eines Stroms aus einer nichtflüchtigen Speicherzelle, aus welchem der Ladezustand der Speicherzelle ermittelt werden kann.

Das Grundelement einer nichtflüchtigen Speicherzelle ist ein MOS-Transistor mit einem zusätzlichen Floating-Gate. Das Floating-Gate ist eine allseitig durch Siliziumoxid isolierte Gateelektrode. Es befindet sich zwischen dem Steuergate und der Source-Drain-Strecke und besitzt keinen Anschluss. Auf das Floating-Gate können durch Tunneleffekte Ladungsträger aufgebracht werden. Die dort befindlichen Ladungsträger lassen sich wegen der hervorragenden Isolatoreigenschaften des Siliziumoxids über Jahre speichern und ermöglichen eine nichtflüchtige Informationsspeicherung. Derartige nichtflüchtige Speicherzellen finden insbesondere Verwendung bei Halbleiterspeicherbausteinen wie EEPROMs (Electrically Erasable Programmable Read Only Memory), EAROMs (Electrically Alterable Read Only Memory) oder Flash-EPROMs (Erasable Programmable Read Only Memory).

Ladungsträger, die sich auf dem Floating-Gate einer Speicherzelle befinden, verändern die Strom-Spannungs-Charakteristik der Speicherzelle. Je nach Art der aufgebrachten Ladungsträger und nach Typ des MOS-Transistors wird die Schwellenspannung des MOS-Transistors erhöht oder erniedrigt. Zum Auslesen des Ladezustands der Speicherzelle werden an das Steuergate und an den Drainanschluss vorgegebene Spannungen angelegt. Der Sourceanschluss ist in der Regel mit einer gemeinsamen Masse verbunden. Liegen an der Speicherzelle geeignete Spannungen an, so hängt das Vorhandensein eines Stromflusses zwischen Source und Drain von dem Ladezustand der Speicherzelle ab. Das Auftreten eines Stromflusses am Drainanschluss zeigt folglich den Ladezustand der Speicherzelle an. Der Strom wird am Drainanschluss der Speicherzelle durch eine sogenannte Bitleitung ausgelesen. Zur Feststellung des Ladezustands der Speicherzelle wird der durch die



**19 BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENT- UND  
MARKENAMT**

**Offenlegungsschrift**  
**DE 101 02 180 A 1**

Int. Cl.<sup>7</sup>:  
**G 11 C 16/26**

⑦ Aktenzeichen: 101 02 180.1  
 ⑧ Anmeldetag: 18. 1. 2001  
 ⑨ Offenlegungstag: 29. 5. 2002

**Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG**

⑦1 Anmelder:  
Infineon Technologies AG, 81669 München, DE

⑦ Vertreter:  
Graf Lambsdorff, M., Dipl.-Phys.Dr.rer.nat.,  
Pat.-Anw., 81673 München

⑦2 Erfinder:  
Schienle, Meinrad, 81735 München, DE

⑤⑥ Entgegenhaltungen:

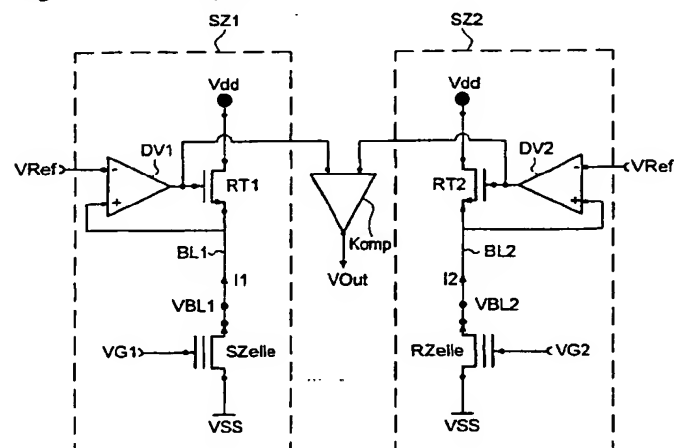
|    |               |
|----|---------------|
| JP | 11-2 03 882 A |
| JP | 11-0 03 598 A |
| JP | 09-2 59 592 A |

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

**Prüfungsantrag gem. § 44 PatG ist gestellt**

⑤4) Schaltung zur Feststellung des Ladezustands nichtflüchtiger Halbleiterspeicherzellen

(57) Die Erfindung betrifft eine Schaltung zum Auslesen eines Ladezustandsstroms (I1) aus einer nichtflüchtigen Speicherzelle (SZelle), wobei der Ladezustandsstrom (I1) dem Ladezustand der Speicherzelle (SZelle) entspricht. Zum Auslesen des Ladezustandsstroms (I1) wird an einen Leseausgang der Speicherzelle (SZelle), durch welchen der Ladezustandsstrom (I1) fließt, über einen Regelkreis, der einen Differenzverstärker (DV1) und einen Regeltransistor (RT1) aufweist, eine vorgegebene Spannung (VRef) angelegt.



DE 101 02 180 A 1

DE 101 02 180 A 1

[0001] Die Erfindung bezieht sich generell auf das Gebiet der Halbleiterspeicher. Insbesondere betrifft die Erfindung eine Schaltung zum Auslesen eines Stroms aus einer nichtflüchtigen Speicherzelle, aus welchem der Ladezustand der Speicherzelle ermittelt werden kann.

[0002] Das Grundelement einer nichtflüchtigen Speicherzelle ist ein MOS-Transistor mit einem zusätzlichen Floating-Gate. Das Floating-Gate ist eine allseitig durch Siliziumoxid isolierte Gateelektrode. Es befindet sich zwischen dem Steuergate und der Source-Drain-Strecke und besitzt keinen Anschluß. Auf das Floating-Gate können durch Tunneleffekte Ladungsträger aufgebracht werden. Die dort befindlichen Ladungsträger lassen sich wegen der hervorragenden Isolatoreigenschaften des Siliziumoxids über Jahre speichern und ermöglichen eine nichtflüchtige Informationsspeicherung. Derartige nichtflüchtige Speicherzellen finden insbesondere Verwendung bei Halbleiterspeicherbausteinen wie EEPROMs (Electrically Erasable Programmable Read Only Memory), EAROMs (Electrically Alterable Read Only Memory) oder Flash-EEPROMs (Erasable Programmable Read Only Memory).

[0003] Ladungsträger, die sich auf dem Floating-Gate einer Speicherzelle befinden, verändern die Strom-Spannungs-Charakteristik der Speicherzelle. Je nach Art der aufgetragenen Ladungsträger und nach Typ des MOS-Transistors wird die Schwellenspannung des MOS-Transistors erhöht oder erniedrigt. Zum Auslesen des Ladezustands der Speicherzelle werden an das Steuergate und an den Drainanschluß vorgegebene Spannungen angelegt. Der Sourceanschluß ist in der Regel mit einer gemeinsamen Masse verbunden. Liegen an der Speicherzelle geeignete Spannungen an, so hängt das Vorhandensein eines Stromflusses zwischen Source und Drain von dem Ladezustand der Speicherzelle ab. Das Auftreten eines Stromflusses am Drainanschluß zeigt folglich den Ladezustand der Speicherzelle an. Der Strom wird am Drainanschluß der Speicherzelle durch eine sogenannte Bitleitung ausgelesen. Zur Feststellung des Ladezustands der Speicherzelle wird der durch die Bitleitung ausgelesene Strom mit einem Referenzwert verglichen. Meistens wird als Referenz ein Strom aus einer Referenzzelle mit bekanntem Ladezustand herangezogen.

[0004] Ein fehlerfreies Auslesen des Ladezustands der Speicherzelle setzt eine stabile und gegenüber Störimpulsen unempfindliche Spannung am Drainanschluß, welche im folgenden als Bitleitungsspannung bezeichnet wird, voraus. Des weiteren muß die Bitleitungsspannung in einem bestimmten Spannungsbereich liegen. Zum einen muß die Bitleitungsspannung für den Betrieb der Speicherzelle ausreichend hoch sein. Zum anderen darf die Bitleitungsspannung einen bestimmten Höchstwert nicht überschreiten, da sonst der Ladezustand der Speicherzelle beim Auslesen verändert werden könnte. Darüber hinaus ist für ein schnelles Auslesen des Ladezustands der Speicherzelle die Geschwindigkeit entscheidend, mit welcher eine entladene Bitleitung auf die vorgegebene Bitleitungsspannung aufgeladen werden kann.

[0005] Bisherige Schaltungen zum Auslesen eines dem Ladezustand einer Speicherzelle entsprechenden Stroms, wie sie z. B. in den Schriften US 5 528 543 A und EP 0 936 620 A1 beschrieben sind, verwenden häufig einen MOS-Transistor, dessen Source-Drain-Strecke die Bitleitung speist. Die Gateelektrode des MOS-Transistors wird von dem Ausgang eines Inverters angesteuert, wobei der Eingang des Inverters mit der Bitleitung verbunden ist. Daraus ergibt sich ein Regelkreis für die Bitleitungsspannung. Der Sollwert für die Bitleitungsspannung ist durch die Di-

mensionierung der Transistoren im Inverter bestimmt. Nachteilig an derartigen Ausleseschaltungen ist, daß der Sollwert der Bitleitungsspannung im Inverter von der Versorgungsspannung abgeleitet wird. Dadurch ergibt sich eine schlechte Störunterdrückung der Bitleitungsspannung gegenüber Schwankungen der Versorgungsspannung. Des weiteren läßt sich der Sollwert der Bitleitungsspannung im Inverter nur ungenau und nicht temperaturunabhängig einstellen. Ein weiterer Nachteil bisheriger Ausleseschaltungen ist die Notwendigkeit relativ hoher Versorgungsspannungen. Die Spannungsabfälle an den Bauelementen, die zwischen die Versorgungsspannung und die Bitleitung geschaltet sind, erfordern eine genügend hohe Versorgungsspannung, um trotz der Spannungsabfälle eine für den Betrieb der Speicherzelle ausreichend hohe Spannung zur Verfügung zu stellen.

[0006] Der Erfindung liegt daher die Aufgabe zugrunde, eine Schaltung zum Auslesen eines dem Ladezustand einer Speicherzelle entsprechenden Stroms zu schaffen, deren Bitleitungsspannung eine geringe Empfindlichkeit gegenüber Schwankungen der Versorgungsspannung aufweist sowie genau und im wesentlichen temperaturunabhängig einstellbar ist. Insbesondere soll die zu schaffende Schaltung bei kleinen Versorgungsspannungen betrieben werden können.

[0007] Die der Erfindung zugrundeliegende Aufgabenstellung wird durch die Merkmale der unabhängigen Patentansprüche gelöst. Vorteilhafte Weiterbildungen und Ausgestaltungen sind in den Unteransprüchen angegeben.

[0008] Bei der erfindungsgemäßen Schaltung zum Auslesen eines Ladezustandsstroms aus einer nichtflüchtigen Speicherzelle entspricht der Ladezustandsstrom dem Ladezustand der Speicherzelle. Zum Auslesen des Ladezustandsstroms ist an einen Leseausgang der Speicherzelle, durch welchen der Ladezustandsstrom fließt, eine vorgegebene Spannung angelegt. Des weiteren ist der Leseausgang mit der Source-Drain-Strecke eines Regeltransistors verbunden. Ein wesentlicher Gedanke der Erfindung ist, daß der Ausgang eines Differenzverstärkers mit dem Gateanschluß des Regeltransistors in Verbindung steht.

[0009] Des weiteren ist die Gatespannung des Regeltransistors von dem Differenzverstärker derart steuerbar, daß an dem Leseausgang die vorgegebene Spannung anliegt.

[0010] Vorteilhafterweise wird an den ersten Eingang des Differenzverstärkers die vorgegebene Spannung angelegt. Der zweite Eingang des Differenzverstärkers wird mit dem Leseausgang verbunden.

[0011] Bei der erfindungsgemäßen Schaltung wird die an dem Leseausgang anliegende vorgegebene Spannung, welche identisch mit der Bitleitungsspannung ist, nicht notwendigerweise von der Versorgungsspannung abgeleitet, sondern die vorgegebene Spannung kann beispielsweise von einem externen, störunanfalligen Schaltkreis erzeugt werden und über den aus dem Differenzverstärker und dem Regeltransistor bestehenden Regelkreis an den Leseausgang angelegt werden. Eine Schwankung der Versorgungsspannung führt daher nicht zu einer Änderung des Sollwerts der Bitleitungsspannung. Die Möglichkeit, die vorgegebene Spannung bei der erfindungsgemäßen Schaltung extern erzeugen zu können, hat des weiteren zum Vorteil, daß dadurch im Vergleich mit einer Inverterschaltung eine wesentlich genauere Einstellung des Sollwerts der vorgegebenen Spannung möglich ist. Eine Schaltung zur Spannungserzeugung, die den soeben aufgeführten Anforderungen genügt, ist beispielsweise eine Bandabstandsreferenz-Schaltung.

[0012] Die erfindungsgemäße Schaltung kombiniert die oben genannten Vorteile gegenüber herkömmlichen, dem gleichen Zweck dienenden Schaltungen mit einer hohen

Auslesegeschwindigkeit. Der Grund dafür ist, daß das Aufladen der Bitleitung durch den aktiven Regelkreis relativ schnell erfolgt.

[0013] Gemäß einer vorteilhaften Ausgestaltung der Erfindung weist die Schaltung eine Stromspiegelschaltung auf, deren Eingang von dem Ladezustandsstrom gespeist wird. Die Stromspiegelschaltung liefert am Ausgang eine verstärkte oder abgeschwächte Kopie des Eingangstroms, aus welcher genauso wie aus dem Ladezustandsstrom der Ladezustand der Speicherzelle ermittelt werden kann. Der Einbau einer Stromspiegelschaltung in die Schaltung ist von Vorteil, da dadurch der Ladezustandsstrom zum Ermitteln des Ladezustands der Speicherzelle schaltungstechnisch weiterverarbeitet werden kann, ohne möglicherweise störend auf den Ladezustandsstrom einzuwirken.

[0014] Alternativ zu der soeben angeführten Ausgestaltung der Erfindung kann vorteilhafterweise vorgesehen sein, daß das Ausgangssignal des Differenzverstärkers herangezogen wird, um den Ladezustand der Speicherzelle festzustellen. Das Ausgangssignal kann entweder der Ausgangsstrom oder die Ausgangsspannung des Differenzverstärkers sein. Diese Ausgestaltung weist zwei wesentliche Vorteile auf. Zum einen entfällt bei dieser Ausgestaltung mindestens ein zusätzlicher Transistor für eine separate Stromspiegelschaltung. Die Funktion des Stromspiegeltransistors übernimmt der Regeltransistor. Dieses verringert den Spannungsabfall zwischen der Versorgungsspannung und der Bitleitung. Daher ist diese Ausgestaltung auch bei einer kleinen Versorgungsspannung einsetzbar. Zum anderen kann die Bitleitung bei dieser Ausgestaltung auch bei einer kleinen Versorgungsspannung in minimaler Zeit geladen werden, da der Regeltransistor von dem Differenzverstärker bei großen Regelabweichungen voll aufgesteuert wird.

[0015] In vorteilhafter Weise wird für den Regeltransistor ein p-Kanal-MOSFET eingesetzt, dessen Drainanschluß an dem Leseausgang anliegt. Simulationen der erfindungsgemäßen Schaltung ergaben, daß die Verwendung eines p-Kanal-MOSFETs die Störfestigkeit der Schaltung gegen Schwankungen der Versorgungsspannung (PSRR, Power Supply Rejection Rate) erhöht. Insbesondere gilt dieses für die hochfrequenten Anteile der Schwankungen. Hochfrequente Schwankungen können von einem Regelverstärker selbst nicht ausgeglichen werden, da der Regelverstärker hierzu grundsätzlich zu langsam ist. Hochfrequente Schwankungen der Versorgungsspannung entstehen in Digitalschaltungen bei jedem Schaltvorgang und sind damit unvermeidbar.

[0016] Eine weitere vorteilhafte Ausgestaltung der Erfindung ist dadurch gekennzeichnet, daß die vorgegebene Spannung durch eine Bandabstandsreferenz-Schaltung erzeugt wird. Das Grundprinzip einer Bandabstandsreferenz-Schaltung besteht darin, zwei Teilsignale (Spannungen oder Ströme), die ein gegenläufiges Temperaturverhalten aufweisen, zu addieren. Während eines der beiden Teilsignale mit zunehmender Temperatur fällt, steigt das andere Teilsignal mit zunehmender Temperatur an. Aus der Summe der beiden Teilsignale wird eine über einen gewissen Temperaturbereich temperaturunabhängige Ausgangsspannung abgeleitet. Diese Spannung ist wesentlich genauer einstellbar sowie störunanfälliger gegenüber Schwankungen der Temperatur und der Versorgungsspannung als eine durch eine Inverterschaltung erzeugte Spannung.

[0017] Zur Feststellung des Ladezustands der Speicherzelle kann die erfindungsgemäße Schaltung vorteilhafterweise in eine zu diesem Zweck ausgelegte Ausleseschaltung eingebunden werden. Die erfindungsgemäße Ausleseschaltung basiert auf einem Vergleich eines dem Ladezustand der Speicherzelle entsprechenden Signals mit einem vorgege-

nen Referenzwert. Das dem Ladezustand der Speicherzelle entsprechende Signal kann der Ladezustandsstrom, der Ausgangsstrom der Stromspiegelschaltung oder das Ausgangssignal des Differenzverstärkers sein.

[0018] Gemäß einer vorteilhaften Ausgestaltung der Ausleseschaltung wird der vorgegebene Referenzwert über eine Referenzzelle mit einem vorgegebenen Ladezustand bezogen. Dazu wird die Referenzzelle in der Funktion der Speicherzelle an eine erfindungsgemäße Schaltung angeschlossen und das dem Ladezustand der Referenzzelle entsprechende Signal ermittelt. Wieder kann dieses Signal der von der Referenzzelle erzeugte Ladezustandsstrom, der Ausgangsstrom der Stromspiegelschaltung oder das Ausgangssignal des Differenzverstärkers sein. Da der Ladezustand der Referenzzelle bekannt ist, kann aus dem Vergleich der von der Speicherzelle und der Referenzzelle erzeugten Signale auf den Ladezustand der Speicherzelle geschlossen werden. Um den Vergleich der beiden Signale möglichst einfach zu gestalten, wird vorteilhafterweise an die Leseausgänge der Speicher- und der Referenzzelle die gleiche Spannung angelegt.

[0019] Schaltungstechnisch läßt sich der von der Ausleseschaltung durchgeführte Vergleich beispielsweise mittels eines Komparators realisieren, dessen Eingänge von jeweils einer erfindungsgemäßen Schaltung gespeist werden. Eine der Schaltungen weist die Speicherzelle auf, deren Ladezustand ermittelt werden soll, die andere Schaltung beinhaltet die Referenzzelle mit einem vorgegebenen Ladezustand. Das Ausgangssignal des Komparators ist dann eine Funktion des Ladezustands der Speicherzelle.

[0020] Des weiteren kann vorgesehen sein, daß die Speicherzelle in einer matrixförmigen Anordnung aus nichtflüchtigen Speicherzellen enthalten ist. Durch Schaltmittel kann die Speicherzelle aus der Anordnung ausgewählt und mit der Ausleseschaltung verbunden werden. Dieses erschließt die Möglichkeit, die Ladezustände mehrerer Speicherzellen mit nur einer Ausleseschaltung zu bestimmen.

[0021] Die erfindungsgemäße Ausleseschaltung kann beispielsweise in nichtflüchtigen Halbleiterspeicherbausteinen, wie z. B. in EEPROM-, EAROM- oder Flash-EPROM-Speicherbausteinen, eingesetzt werden.

[0022] Die Erfindung wird nachfolgend in beispielhafter Weise unter Bezugnahme auf die Zeichnungen erläutert. Diese zeigen:

[0023] Fig. 1 eine Ausleseschaltung zur Feststellung des Ladezustands einer nichtflüchtigen Speicherzelle aus dem Stand der Technik;

[0024] Fig. 2 ein erstes Ausführungsbeispiel der erfindungsgemäßen Ausleseschaltung zur Feststellung des Ladezustands einer nichtflüchtigen Speicherzelle;

[0025] Fig. 3 ein Ausführungsbeispiel einer erfindungsgemäßen Schaltung zum Auslesen eines Ladezustandsstroms aus einer nichtflüchtigen Speicherzelle;

[0026] Fig. 4 ein zweites Ausführungsbeispiel der erfindungsgemäßen Ausleseschaltung zur Feststellung des Ladezustands einer nichtflüchtigen Speicherzelle; und

[0027] Fig. 5 ein drittes Ausführungsbeispiel der erfindungsgemäßen Ausleseschaltung zur Feststellung des Ladezustands einer nichtflüchtigen Speicherzelle.

[0028] In Fig. 1 ist eine Ausleseschaltung zur Feststellung des Ladezustands einer nichtflüchtigen Speicherzelle dargestellt, wie sie im Stand der Technik häufig Verwendung findet. Ein erster Eingang eines Komparators Komp ist mit einem Schaltungszweig SZ1 verbunden, ein zweiter Eingang des Komparators Komp ist an einen Schaltungszweig SZ2 gekoppelt. Der Schaltungszweig SZ1 weist eine nichtflüchtige Speicherzelle SZ auf. Der Drainanschluß der Speicherzelle SZ ist mit einem Ende einer Bitleitung BL1

verbunden. Der Sourceanschluß der Speicherzelle SZelle liegt auf einem gemeinsamen festen Potential, insbesondere einer Masse VSS. Das andere Ende der Bitleitung BL1 steht mit dem Drainanschluß eines Regeltransistors RT1 in Verbindung. Des weiteren ist der Drainanschluß des Regeltransistors RT1 mit dem Eingang eines Inverters Inv1 verbunden. Der Ausgang des Inverters Inv1 speist die Gateelektrode des Regeltransistors RT1. Der Sourceanschluß des Regeltransistors RT1 ist an den Drainanschluß eines Stromspiegeltransistors ST1 gekoppelt. Der Sourceanschluß des Stromspiegeltransistors ST1 liegt an einer Versorgungsspannung VDD. Der Drain- und der Gateanschluß des Stromspiegeltransistors ST1 sind miteinander verbunden und speisen den ersten Eingang des Komparators Komp. Der Regeltransistor RT1 ist ein n-Kanal-MOSFET, der Stromspiegeltransistor ST1 ein p-Kanal-MOSFET.

[0029] Der Inverter Inv1 und der Regeltransistor RT1 stellen einen Regelkreis dar. Dabei steuert der Inverter Inv1 die Gateelektrode des Regeltransistors RT1 derart, daß die an der Bitleitung BL1 anliegende Bitleitungsspannung VBL1 einen vorgegebenen Wert annimmt. Der Sollwert der Bitleitungsspannung VBL1 ergibt sich aus den Dimensionierungen der in dem Inverter Inv1 enthaltenen Transistoren. Sofern an der Bitleitung BL1 eine geeignete Bitleitungsspannung VBL1 und an dem Gate der Speicherzelle SZelle eine geeignete Gatespannung VG1 anliegt, ermöglicht oder verhindert die auf dem Floating-Gate der Speicherzelle SZelle befindliche Ladung das Fließen eines Stroms I1 durch die Bitleitung BL1. Falls ein Strom I1 durch den Schaltungszweig SZ1 fließt, verursacht der Stromspiegeltransistor ST1 im Komparator Komp das Fließen eines Stroms, dessen Größe linear von der Größe des Stroms I1 abhängt.

[0030] Der Schaltungszweig SZ2 ist in analoger Weise zu dem Schaltungszweig SZ1 aufgebaut. Dazu weist der Schaltungszweig SZ2 als Bauelemente eine Bitleitung BL2 mit einer Bitleitungsspannung VBL2, einen n-Kanal-MOSFET als Regeltransistor RT2, einen Inverter Inv2 und einen p-Kanal-MOSFET als Stromspiegeltransistor ST2 auf. Anstatt einer Speicherzelle enthält der Schaltungszweig SZ2 eine Referenzzelle RZelle, deren Ladezustand vorgegeben ist. Der Ausgang des Schaltungszweigs SZ2 speist den zweiten Eingang des Komparators Komp.

[0031] Im Schaltungszweig SZ2 generiert der aus dem Regeltransistor RT2 und dem Inverter Inv2 bestehende Regelkreis eine Bitleitungsspannung VBL2 an der Bitleitung BL2. Dadurch wird in Abhängigkeit von dem vorgegebenen Ladezustand der Referenzzelle RZelle und von der Gatespannung VG2 der Referenzzelle RZelle ein Strom I2 in dem Schaltungszweig SZ2 erzeugt. Der Stromspiegeltransistor ST2 veranlaßt im Komparator Komp den Fluß eines Spiegelstroms zu dem Strom I2.

[0032] Der Komparator Komp vergleicht die Größen der in ihm erzeugten Spiegelströme, welche in linearer Weise von den Größen der Ströme I1 und I2 abhängen, und gibt ein dementsprechendes Ausgangssignal VOut aus. Da der Ladezustand der Referenzzelle RZelle bekannt ist, läßt sich aus dem Ausgangssignal VOut auf den Ladezustand der Speicherzelle SZelle schließen.

[0033] In Fig. 2 ist ein erstes Ausführungsbeispiel der Erfindung gezeigt. Die erfindungsgemäße Ausleseschaltung des ersten Ausführungsbeispiels hat einen ähnlichen Aufbau wie die in Fig. 1 gezeigte Ausleseschaltung. Die erfindungsgemäße Ausleseschaltung unterscheidet sich jedoch in einem wesentlichen Punkt von der in Fig. 1 gezeigten Ausleseschaltung. Anstelle eines Inverters steuert im Schaltungszweig SZ1 ein Differenzverstärker DV1 das Potential der Gateelektrode des Regeltransistors RT1, welcher in dem erfindungsgemäßen Ausführungsbeispiel ein p-Kanal-MOS-

FET ist. Dazu ist der Ausgang des Differenzverstärkers DV1 an den Gateanschluß des Regeltransistors RT1 angeschlossen. An dem invertierenden Eingang des Differenzverstärkers DV1 liegt eine Referenzspannung VRef an. Der nicht-invertierende Eingang des Differenzverstärkers DV1 ist mit der Bitleitung BL1 verbunden. Dadurch wird die Bitleitungsspannung VBL1 auf den Wert der Referenzspannung VRef geregelt. Der Schaltungszweig SZ2 enthält entsprechend dem Schaltungszweig SZ1 einen Differenzverstärker DV2, welcher zusammen mit dem Regeltransistor RT2 die Bitleitungsspannung VBL2 ebenfalls auf den Wert der Referenzspannung VRef regelt. Diese Ausleseschaltung weist gegenüber der in Fig. 1 gezeigten Ausleseschaltung den Vorteil auf, daß der Sollwert der Bitleitungsspannungen VBL1 und VBL2, welcher durch die Referenzspannung VRef gegeben ist, durch einen externen Schaltkreis generiert werden kann. Durch geeignete Schaltungen, wie z. B. eine Bandabstandsreferenz-Schaltung, kann somit eine wesentlich genauere und temperaturunabhängige Spannung erzeugt werden, als dieses mit einem Inverter möglich ist. Des weiteren wird durch die Erfindung die Stömpfindlichkeit des Sollwerts der Bitleitungsspannungen VBL1 und VBL2 gegenüber Schwankungen der Versorgungsspannung VDD reduziert.

[0034] Fig. 3 zeigt ein einfaches erfindungsgemäßes Ausführungsbeispiel für den Differenzverstärker DV1 des Schaltungszweigs SZ1. Hierbei handelt es sich um einen CMOS-Differenzverstärker mit einer aus n-Kanal-MOSFETs N1A und N1B aufgebauten Differenzstufe, einer aus p-Kanal-MOSFETs P1A und P1B aufgebauten Stromspiegellast sowie einem als Stromquelle dienenden n-Kanal-MOSFET N1C mit einer steuerbaren Gatespannung VG1C. Weitere Schaltungen für Differenzverstärker sind in der Literatur zu finden.

[0035] Fig. 4 zeigt ein zweites Ausführungsbeispiel der erfindungsgemäßen Ausleseschaltung. Im wesentlichen entspricht das zweite Ausführungsbeispiel dem ersten, in Fig. 2 gezeigten Ausführungsbeispiel. Jedoch fehlen hier die Stromspiegeltransistoren ST1 und ST2. Ihre Funktion übernehmen die Regeltransistoren RT1 und RT2. In dem zweiten Ausführungsbeispiel speisen die Ausgänge der Differenzverstärker DV1 und DV2 zusätzlich die Eingänge des Komparators Komp.

[0036] Aufgrund der eingesparten Stromspiegeltransistoren ST1 und ST2 verringert sich der Spannungsabfall zwischen der Versorgungsspannung VDD und den Bitleitungen BL1 und BL2. Folglich kann die in Fig. 4 gezeigte Ausleseschaltung auch bei einer relativ kleinen Versorgungsspannung VDD betrieben werden. In Fig. 5 ist ein drittes Ausführungsbeispiel der erfindungsgemäßen Ausleseschaltung mit einer möglichen Ausführungsform des Komparators Komp gezeigt. Für den Komparator Komp wird eine einfache Stromkomparatorschaltung bestehend aus zwei p-Kanal-MOSFETs PKompA und PKompB sowie zwei n-Kanal-MOSFETs NKompA und NKompB verwendet. Der Strom I1 der Speicherzelle SZelle wird nach PKompA gespiegelt. Der Strom I2 der Referenzzelle RZelle wird über PKompB und NKompB nach NKompA gespiegelt. Sofern der Strom I1 größer als der Strom I2 ist, liegt das Ausgangssignal VOut des Komparators Komp auf dem Potential der Versorgungsspannung VDD. Im umgekehrten Fall wird das Ausgangssignal VOut zum Potential der Masse VSS gezogen. Da der Ladezustand der Referenzzelle RZelle bekannt ist, kann anhand des Ausgangssignals VOut auf den Ladezustand der Speicherzelle SZelle geschlossen werden.

## Patentansprüche

1. Schaltung zum Auslesen eines Ladezustandsstroms (I1) aus einer nichtflüchtigen Speicherzelle (SZelle), wobei  
 der Ladezustandsstrom (I1) ein dem Ladezustand der Speicherzelle (SZelle) entsprechendes Signal ist, an einem Leseausgang der Speicherzelle (SZelle), durch welchen der Ladezustandsstrom (I1) fließt, eine vorgegebene Spannung (VRef) angelegt ist, und an den Leseausgang die Source-Drain-Strecke eines Regeltransistors (RT1) geschaltet ist, **dadurch gekennzeichnet,**  
 daß der Ausgang eines Differenzverstärkers (DV1) mit dem Gateanschluß des Regeltransistors (RT1) verbunden ist, und  
 daß die Gatespannungen des Regeltransistors (RT1) von dem Differenzverstärker (DV1) derart steuerbar ist, daß an dem Leseausgang die vorgegebene Spannung (VRef) anliegt. 5
2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß an den ersten Eingang des Differenzverstärkers (DV1) die vorgegebene Spannung (VRef) angelegt ist, und daß der zweite Eingang des Differenzverstärkers (DV1) mit dem Leseausgang verbunden ist. 10
3. Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Ladezustandsstrom (I1) eine Stromspiegelschaltung speist, wobei der Ausgangsstrom der Stromspiegelschaltung ein dem Ladezustand der Speicherzelle (SZelle) entsprechendes Signal ist. 15
4. Schaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Ausgangssignal des Differenzverstärkers (DV1) ein dem Ladezustand der Speicherzelle (SZelle) entsprechendes Signal ist. 20
5. Schaltung nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Regeltransistor (RT1) ein p-Kanal-MOSFET ist, dessen Drainanschluß an dem Leseausgang anliegt. 25
6. Schaltung nach einem oder mehreren der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine die vorgegebene Spannung (VRef) erzeugende Bandabstandsreferenz-Schaltung mit einem Eingang des Differenzverstärkers (DV1) verbunden ist. 30
7. Ausleseschaltung zur Feststellung des Ladezustands einer nichtflüchtigen Speicherzelle (SZelle) mit einer Schaltung nach einem oder mehreren der vorhergehenden Ansprüche, wobei der Ladezustand der Speicherzelle (SZelle) anhand eines Vergleichs eines dem Ladezustand der Speicherzelle (SZelle) entsprechenden Signals mit einem vorgegebenen Referenzwert feststellbar ist. 35
8. Ausleseschaltung nach Anspruch 7, dadurch gekennzeichnet, daß der vorgegebene Referenzwert ein dem Ladezustand einer Referenzzelle (RZelle) entsprechendes Signal ist, wobei der Ladezustand der Referenzzelle (RZelle) vorgegeben ist, und  
 das dem Ladezustand der Referenzzelle (RZelle) entsprechende Signal mit einer Schaltung nach einem oder mehreren der Ansprüche 1 bis 6 ermittelbar ist. 40
9. Ausleseschaltung nach Anspruch 8, dadurch gekennzeichnet, daß die vorgegebene Spannung (VRef) zum Auslesen des Ladezustandsstroms (I1) der Speicherzelle (SZelle) gleich der vorgegebenen Spannung (VRef) zum Auslesen des Ladezustandsstroms (I2) der Referenzzelle (RZelle) ist. 45
10. Ausleseschaltung nach einem oder mehreren der

Ansprüche 7 bis 9, dadurch gekennzeichnet, daß die Ausleseschaltung einen Komparator (Komp) aufweist, an dessen erstem Eingang das dem Ladezustand der Speicherzelle (SZelle) entsprechende Signal anliegt und an dessen zweitem Eingang der vorgegebene Referenzwert anliegt, wobei aus dem Ausgangssignal (VOut) des Komparators (Komp) der Ladezustand der Speicherzelle (SZelle) ermittelbar ist.

11. Matrixförmige Anordnung aus nichtflüchtigen Speicherzellen (SZelle), welche durch Schaltmittel mit einer Ausleseschaltung nach einem oder mehreren der Ansprüche 7 bis 10 verbindbar sind.

12. EEPROM-, EAROM- oder Flash-EPROM-Speicherbausteine mit einer Mehrzahl nichtflüchtiger Speicherzellen (SZelle), welche durch Schaltmittel mit einer Ausleseschaltung nach einem oder mehreren der Ansprüche 7 bis 10 verbindbar sind.

---

Hierzu 5 Seite(n) Zeichnungen

---

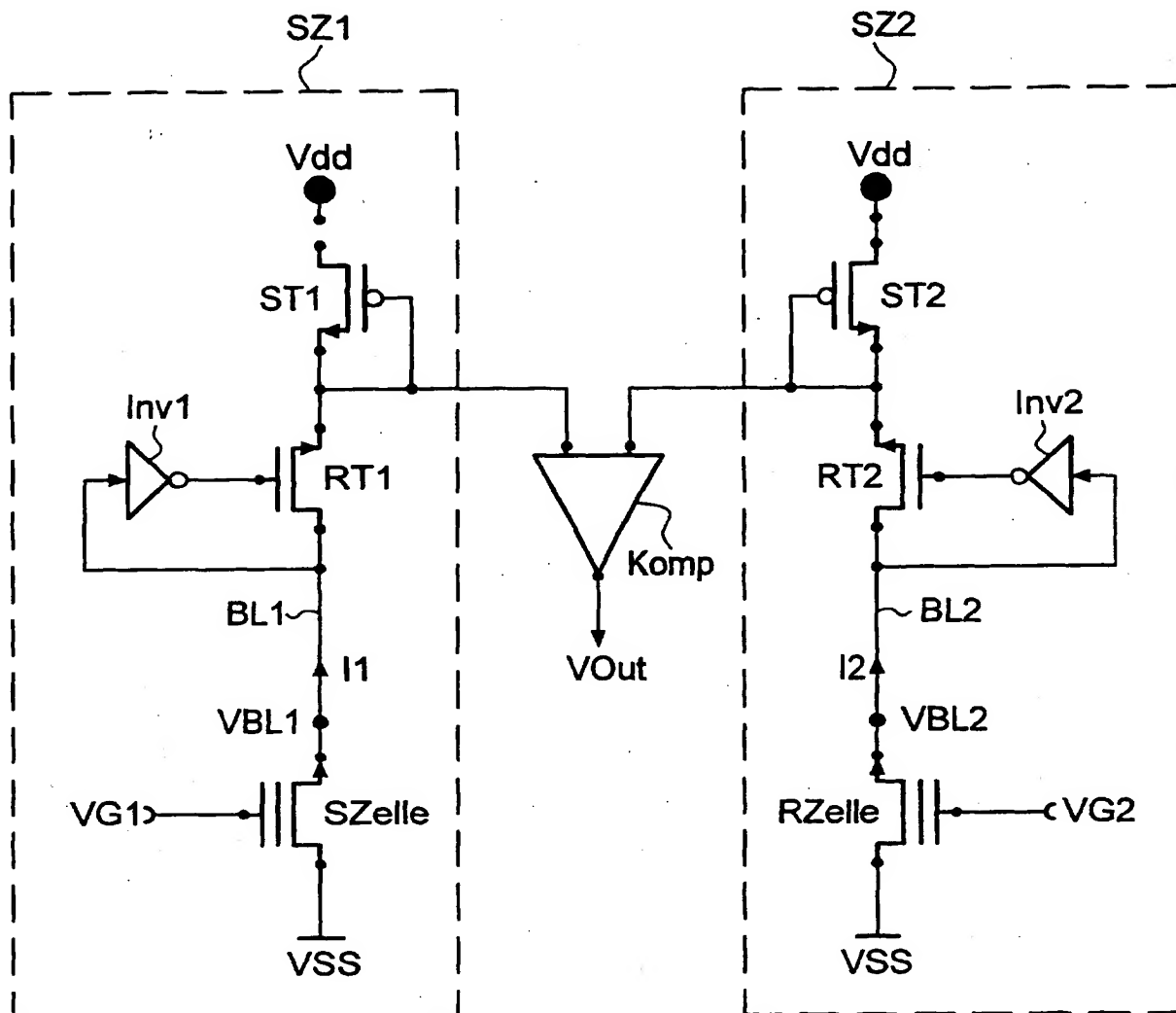


Fig.1  
Stand der Technik



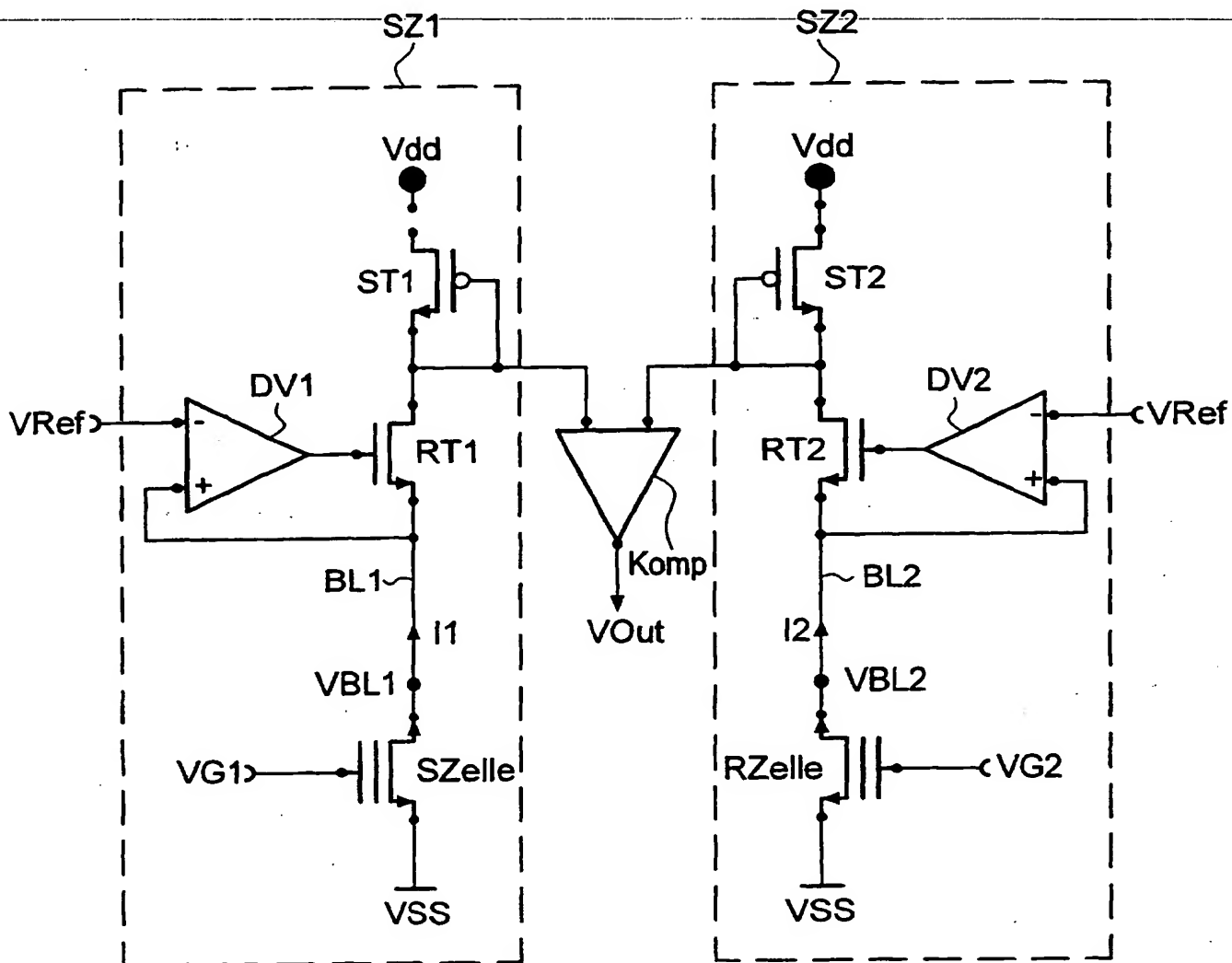


Fig.2

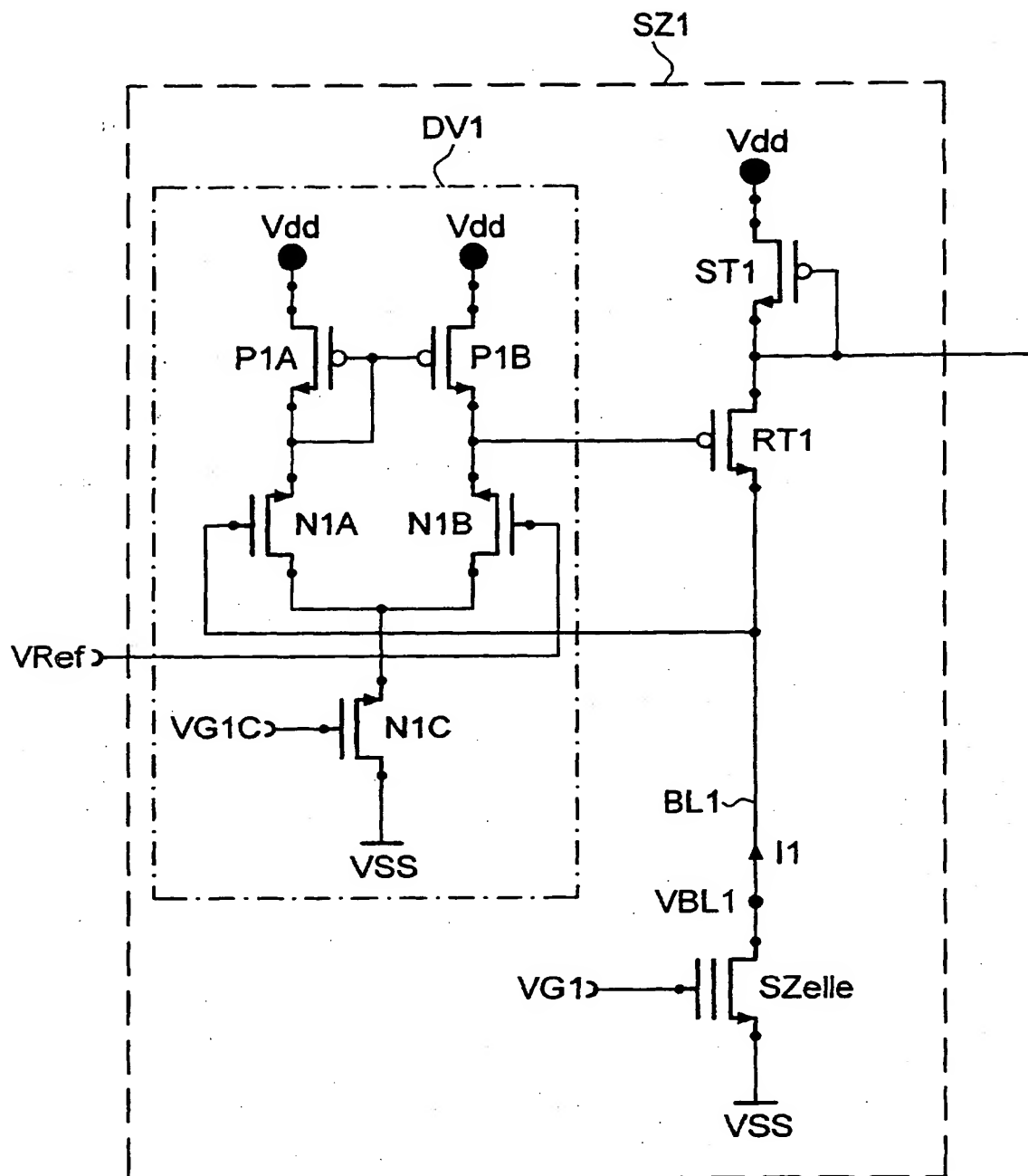


Fig.3

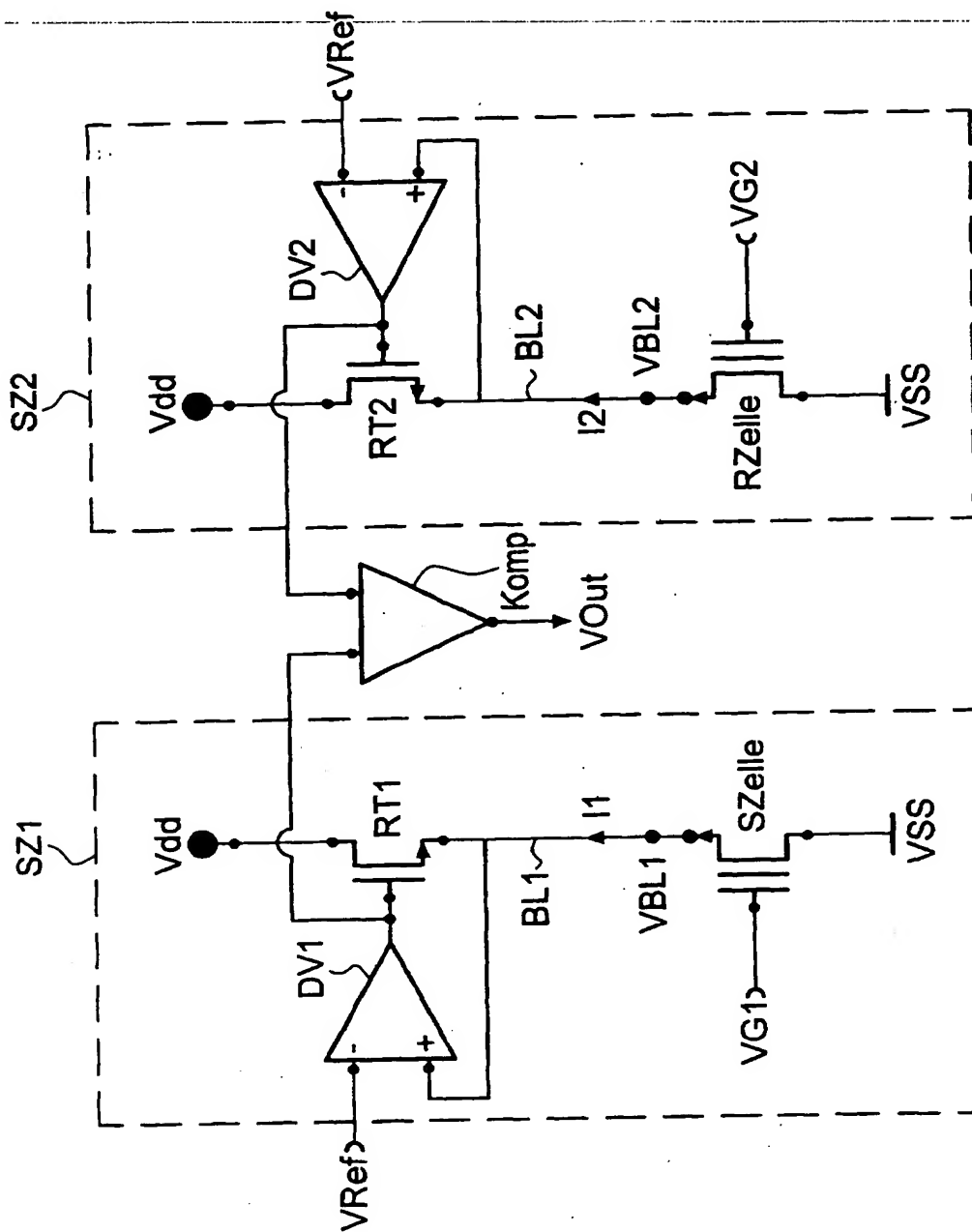


Fig.4

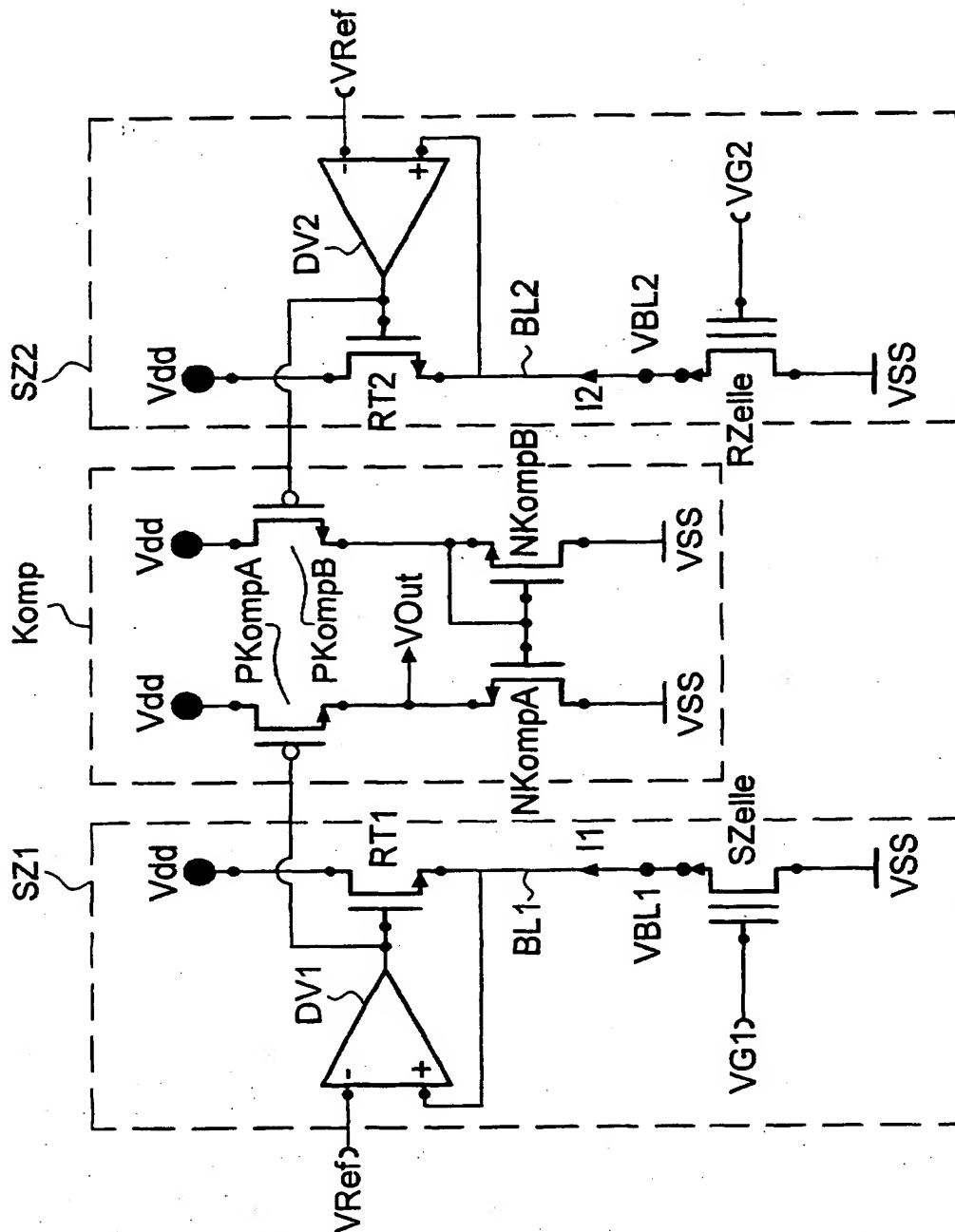


Fig.5